

# 大师高级课程系列之

## 高级数模转换器（ADC）设计课程

### 高级交织和大规模交织 ADC-探索新领域

Advanced Interleaving and Massive Interleaving ADCs– Exploring New Frontiers

2024年 07 月 16日 – 17日 上海

#### 一、为什么参加：

通信、汽车、工业、医疗保健、云计算和人工智能等各个领域对更高数据传输速率的需求不断增长，推动了具有更高分辨率的数十万至数百亿模数转换器的持续研发。近年来，交错（TI）模数转换器（ADC）经历了重大发展。SAR 型 ADC 满足了 TI 和大规模 TI 子通道架构的大部分要求。在过去二十年中，SAR ADC 不断超越性能障碍，成为中低分辨率最节能的 ADC 拓扑。值得注意的是，通过采用纯数字或模拟辅助校准技术来解决 TI 实现中信道到信道的非理想性，从而提高了信号到噪声失真（SNDR）性能。为了进一步优化速度、有效位数（ENOB）和功耗，SAR 和流水线拓扑的混合组合得到了越来越多的应用。功能扩展促进了紧凑型 TI SAR ADC 的发展，使其能够实现超过 100GSPS 的采样率，成为大型片上系统 (SoC) 集成的一部分。

本次课程首先深入探讨大规模时间交织 ADC 的交织器拓扑结构，探讨非理想情况、设计注意事项、建模技术和详细案例研究。随后，特别关注对高性能大规模 TI ADC 至关重要的外设块的设计挑战和解决方案，包括输入缓冲器和参考缓冲器。此外，还研究了极限采样器、残差放大器和时钟等关键 SAR ADC 块，通过全面的案例研究介绍了基本概念和先进技术。

The growing demand for higher data rates across various sectors such as communication, automotive, industrial, healthcare, cloud computing, and AI has driven the continuous research and development of multi-tens-of-giga to hundreds-of-giga ADCs with extended resolutions. Time-interleaved (TI) Analog-to-Digital Converters (ADCs) have undergone significant evolution in recent years. SAR-type ADCs have met most of the requirements for TI and Massive TI sub-channel architecture. Over the past two decades, SAR ADCs have consistently surpassed performance barriers, emerging as the most energy-efficient ADC topology for low to medium resolutions. Notably, improvements in Signal-to-Noise-Distortion (SNDR) performance have been achieved through the adoption of pure-digital or analog-assisted calibration techniques to address channel-to-channel non-idealities in TI implementations. Hybrid combinations of SAR and Pipeline topologies are increasingly utilized to optimize speed further, Effective-Number-Of-Bits (ENOBs), and power dissipation. Feature scaling has facilitated the development of compact TI SAR ADCs capable of achieving sampling rates beyond 100GSPS as part of large System-on-Chip (SoC) integration.

The course begins by delving into interleaver topologies of massive time-interleaved ADCs, exploring non-idealities, design considerations, modeling techniques, and detailed case studies. Subsequently, specific attention is given to the design challenges and solutions of peripheral blocks crucial for high-performance massive TI ADCs, including the input buffer and reference buffer. Additionally, key SAR ADC blocks such as the extreme sampler, residue amplifier, and clocking are examined, covering fundamental concepts and advanced techniques through comprehensive case studies.

## 二、所需基本知识:

基本的MOS器件模型，晶体管级模拟电路，基本单元增益级，反馈。  
基本的电路和系统理论，频率响应，拉普拉斯和Z域变换，模拟电路的噪声分析。

Basic MOS device modeling, transistor-level analog circuits, elementary gain stages, feedback. Basic signals and systems theory, frequency response, Laplace and z-transforms, Noise analysis in analog circuits.

## 三、谁应该参加

本课程的推荐目标受众是希望进入 ADC 设计领域的模拟和混合信号设计工程师，以及已经在使用 ADC 并有兴趣学习先进的超高速 ADC 设计技术的人员。希望掌握扎实 ADC 知识的高年级本科生或研究生。熟悉 ADC 的基本概念会有帮助，但不是先决条件。

The recommended target audience for this course are analog and mixed-signal design engineers looking to get into ADC design as well as those already working with ADCs, interested to learn advanced state-of-the-art ultra-high-speed ADC design techniques. Advanced undergraduate or graduate students who wish to develop a solid knowledge of ADC. Familiarity with fundamental ADC concepts will be beneficial but is not a pre-requisite.

## 四、课程主办单位:

上海林恩信息咨询有限公司

上海集成电路技术与产业促进中心

## 五、课程安排

课程时间：2024年07月16日—17日（2天）

报到注册时间：2024年07月16日，上午8:30-9:00

课程地点：上海集成电路技术与产业促进中心（上海市浦东新区张东路1388号21幢）

## 六、课程注册费用

课程注册费用 4600 元/人（含授课费、场地租赁费、资料费、课程期间午餐），学员交通、食宿等费用自理。优惠折扣：在校学生注册费用 3600 元/人；

4 人以上团体报名优惠可协商；

报名方式请各单位收到通知后，积极选派人员参加。报名截止日期为 2024 年 07 月 12 日，请在此日期前将报名回执表发送 Email 至：

邮件：[steven.yu@lynneconsulting.com](mailto:steven.yu@lynneconsulting.com) 报名咨询电话：021-58978665；或者添加微信：136 7161 3108（手机），暗号：ADC 课程。关于付款：请于 07 月 12 日前将全款汇至以下账户。并备注（ADC 课程+单位/学校+姓名）

银行信息：户 名：上海林恩信息咨询有限公司开户行：上海银行曹杨支行帐 号：31658603000624127

支付宝信息：公司名称：上海林恩信息咨询有限公司支付宝账号：[steven.yu@lynneconsulting.com](mailto:steven.yu@lynneconsulting.com)

## 七、课程具体安排

2024年07月16日—17日（两天，星期二-星期三）

### Lecture 1: Time Interleaver and Massive Time Interleaver (3 hours):

- Application and Technology Motivations
- Time-Interleaved Non-idealities
- Front-End Interleaver Topologies
- Topology Variety Considerations
- Modeling of Interleaver
- Uncertainties and Case Studies

### Lecture 2: Wideband Input Buffer and Fast-transient Reference Buffer (2 hours)

- Input Network
- Nonlinearities
- Input Buffer Topologies

- Linearization Techniques
- Reference Ripple
- Reference Buffer Topologies
- Ripple Suppression Techniques
- Case Studies

### **Lecture #3 – Wideband Samplers (1 hour)**

- Sampling Theory
- Sampler Non-idealities
- Bootstrapped Circuits

### **Lecture #4 – Clocking and Extreme Amplifier Overview (2 hours)**

- Effect of Jitter on Sampling
- Low Jitter Clock Receivers
- Power Efficient and Low Jitter CMOS Clock Buffer
- Open-Loop Residue Amplifiers
- Close-Loop Residue Amplifiers

### **Lecture #5 – State-of-the-Art Low-Resolution High-Speed SAR ADCs (2 hours)**

- Single-bit/cycle
- Multi-bit/cycle
- DAC Implementation
- SAR Loop
- SAR Switching Logic
- Redundancy
- Case Studies



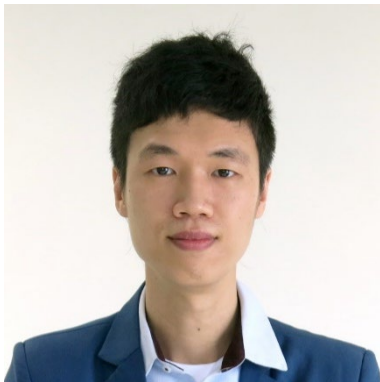
## Lecture #6 – Extended Resolution and High-Speed: Pipeline-SAR ADCs (2 hours)

- Fundamentals
- Comparison with SAR ADCs
- Digital Error Correction
- Residue Amplification Errors
- Case Studies

### Q&A: Related Problems faced by Participants

## 八、教授简介

### 陈知行-澳门大学模拟与混合信号超大规模集成电路国家重点实验室的副教授和 IEEE 固态电路澳门分会的秘书



陈知行1985年出生于中国澳门。分别于2008年、2012年和2015年在美国华盛顿大学获得电气工程学士学位，在澳门大学获得硕士和博士学位。2016年，他在美国加州大学洛杉矶分校担任特聘科学家，从事高性能模数转换器（ADC）的工作。陈教授目前是中国澳门大学的副教授，领导着一个庞大的研究团队，致力于各种类型的ADC、PLL、智能ToF和人工智能等领域之研究。他的研究兴趣包括高速奈奎斯特、宽带过采样ADC、ADC校准、基于环振荡器的PLL和混合信号电路。他发表了100多篇同行评议论文，包括2011年至2024年间的18篇ISSCC、22篇JSSC和26篇固态电路会议和VLSIC论文。陈教授是多項奖项获得者，包括5次澳门科技发展基金（FDCT）技术发明奖，表彰其在微电子学方面的杰出学术和研究成就。他还荣获2015年固态电路协会（SSCS）博士前成就奖。他的研究生曾获得多项奖项，包括2020年IEEE A-SSCC学生设计大赛的杰出设计奖。他是IEEE的高级会员，担任IEEE A-SSCC 2023数据转换器子委员会TPC，并于2023年获得SSCS评审奖。

