

# 大师高级课程系列之

## 锁相环：先进的技术

全集成 CMOS 锁相环电路及其干扰效应

### PLLs: Advanced Techniques

Full integrated CMOS PLL circuits and interference effects

2017年7月31日 - 8月1日 | 上海

---

#### 一、为什么参加：

学习针对全集成锁相环电路的射频 CMOS 设计技术，PLL、预分频器、压控振荡器和 Xtal 振荡器的基础知识，高性能集成电路设计的干扰效应和设计准则。

To learn design techniques for RFCMOS towards fully integrated PLL circuits. Basics of PLL circuits, prescalers, VCO circuits and Xtal oscillators. Interference effects and design rules for high performances integrated circuit design.

#### 二、谁应该参加：

参加本课程需要具备基本的模拟电路知识，对锁相环感兴趣的设计工程师，设计经理，在校的高年级本科生、研究生等。

Advanced undergraduate or graduate students and practicing engineers who wish to develop a solid knowledge of PLLs. A basic understanding of analog circuits is assumed.

#### 三、课程主办单位：

上海林恩信息咨询有限公司  
上海集成电路技术与产业促进中心

#### 四、课程安排

---

---

课程时间：2017年7月31日—8月1日（2天）

报到注册时间：2017年7月31日，上午8:30-9:00

课程地点：上海集成电路技术与产业促进中心（上海市浦东新区张东路 1388 号 21 幢）

## 五、课程注册费用

课程注册费用 4500 元/人（含授课费、场地租赁费、资料费、课程期间午餐），学员交通、食宿等费用自理（报名回执表中将提供相关协议酒店信息供选择）。

优惠折扣：在校学生注册费用 3500 元/人；

4 人以上团体报名优惠可协商；

## 六、报名方式

请各单位收到通知后，积极选派人员参加。报名截止日期为 2017 年 7 月 25 日，请在此日期前将报名回执表发送 Email 至：

邮件：steven.yu@lynneconsulting.com

报名咨询电话：021-51096090；

或者添加微信：136 7161 3108（手机），暗号：锁相环课程。

### 关于付款：

请于 7 月 25 日前将全款汇至以下账户。并备注（锁相环课程+单位/学校+姓名）

银行信息：

户名：上海林恩信息咨询有限公司

开户行：上海银行曹杨支行

帐号：31658603000624127

支付宝信息：

公司名称：上海林恩信息咨询有限公司

支付宝账号：pay@lynneconsulting.com

## 七、课程具体安排

第一天：7月31日（星期一）

### 1、PLL 拓扑的基本概念-Basic Concepts of PLL Topologies

锁相环拓扑的基本定义和概念，PLL 拓扑结构的频率特性、稳定性，分数 N 合成器简介。

Basic definitions and concepts of phase locked loop topologies. Frequency behavior, stability and settling of PLL topologies. Introduction of fractional N synthesizers.

### 2、CMOS 预分频器 & 高级环路滤波器-CMOS Prescalers & Advanced Loop Filters

---

详细介绍高速 CMOS 预分频器，双模预分频器和相位切换架构等高阶电路技术。相位检测器和环路滤波器对全集成 PLL 合成器的限制和要求。针对 DCS1800 应用的集成合成器的案例研究。

High-speed CMOS prescaler, dual modulus prescaler and advanced circuit techniques, such as phase switching architectures, are discussed in detail. The limitations and requirements of the phase detector and loop filter towards fully integrated PLL synthesizers are discussed. A case study of an integrated synthesizer for DCS1800 applications is analyzed.

### **3、集成 VCOs 和合成器（上部和下部）-Integrated VCOs and Synthesizers (part1 and part 2)**

电路的基本原理，CMOS VCO 电路的螺旋电感和变容二极管的版图和设计问题，环路滤波器和 VCO 噪声对 PLL 合成器的相位噪声特性的影响，CMOS 技术中全集成合成器的设计实例。

Fundamentals and principles of VCO circuits. Lay-out and design issues of spiral inductors and varactors for CMOS VCO circuits. Effect of loop filter and VCO noise on phase noise behavior of PLL synthesizers. design examples of fully integrated synthesizers in CMOS technologies.

第二天： 8 月 1 日（星期二）

### **4、晶体振荡器-Crystal Oscillators**

晶振的基本设计原理，首先讨论 ‘split’ 分析方法，基于这一原理，讨论晶体振荡器的设计过程，不同的拓扑结构，如 Pierce、Colpitts、Santos、单引脚和基于反相器的振荡器以及 PSRR 的影响。

The basic principles of crystal oscillators and their designs are studied. First the 'split' analysis will be discussed, and based on this principle the design procedure of crystal oscillators is discussed. Different topologies, such as Pierce, Colpitts, Santos, single -pin and inverter-based oscillators and the effect of PSRR are described.

### **5、IC 干扰效应：噪声和耦合-Interference Aspects in IC: Noise and Coupling**

分析不同噪声源及其对耦合效应的影响，还将讨论数字和模拟电路噪声产生架构的两个案例，钉扎效应，衬底效应，引线键合及其他设计规则。

Different sources and their impact on coupling effects are analyzed. Both examples of digital and analog circuit noise generating structures are presented. A brief discussion of pinning strategy and substrate effects are discussed. Design rules and bondwire effects are investigated.

---

## 6、IC 干扰效应：匹配和 CMRR-Interference Aspects in IC: Matching and CMRR

为了减小这种效应，通常采用高 PSRR 的差分结构和电路，然而这同样要求具有高共模抑制比和对称的拓扑电路。这些参数与原理图和版图的匹配特性密切相关，我们将分析 CMRR 和匹配性能的关系，然后思考版图布局的一些因素。

To reduce to effect differential structures and circuits towards high PSRR a commonly used. This however requires circuits with high CMRR, PSRR and symmetrical topologies. Those are strongly related to the matching properties of the schematic and lay-out. for that matching performances are analyzed followed by CMRR relationships. Finally some lay-out considerations are presented.

## 7、IC 干扰效应：PSRR-Interference Aspects in IC: PSRR

讨论通过电源对射频电路进行集成的一些干扰效应，以及基本模块（运放）中高电源抑制比的设计技术。

Some interference effects in integrating RF circuits via power supply are addressed and discussed. Design techniques for high power supply rejection ratio in basic analog building blocks (opamps) are studied.

## 八、教授简介

Michel S. J. Steyaert 教授



IEEE-Fellow 2003

鲁汶大学工程系的系主任

ISSCC 50 周年的 Top Contributors

ISSCC 60 周年的 Top Contributors

鲁汶大学 ESAT 实验室的研究主管

欧洲固态电路会议最佳论文奖（1991, 2001）

IEEE-ISSCC 的 Evening Session Award（1995, 1997）

IEEE Circuit and Systems Society Guillemin-Cauer Award（1999）

Michel S. J. Steyaert (IEEE-Fellow 2003) 分别于 1983 年和 1987 年在比利时鲁汶大学获的电气和机械工程硕士和博士学位。

1983 年至 1986 年，他获得了 IWNOL Fellowship（比利时国家工业研究基金会），由此他得以加

---

入鲁汶大学的 ESAT 实验室担任研究助理。1987 年，他作为 IWONL 项目研究员，在 ESAT 实验室负责模拟微功耗电路领域的数个工业项目。1988 年，他在加州大学洛杉矶分校担任客座助理教授。1989 年，他被国家科学研究基金会（比利时）任命为研究助理，随后 1992 年评为高级研究员，并于 1996 年选任为鲁汶大学 ESAT 实验室的研究主管。1989 年到 1996 年之间，他兼任副教授。目前他是鲁汶大学的全职教授。2005 年至 2012 年，他是电气工程学院的院长。目前，他是工程系的系主任。他目前的研究兴趣在于通信系统和模拟信号处理中的高性能和高频率的模拟集成电路。Steyaert 教授在国际期刊和论文集上发表或联合发表了 500 余篇论文。他还合作撰写了 24 本书籍。他获得了 1990 年和 2001 年的欧洲固态电路会议最佳论文奖。因在电信领域集成电路的创新性成就，他获得了 1991 年和 2000 年的 NFWO Alcatel-Bell-Telephone 奖。Steyaert 教授还收到了 1995 年和 1997 年 IEEE-ISSCC 的 Evening Session Award，1999 年 IEEE Circuit and Systems Society Guillemin-Cauer Award。目前他是 IEEE-Fellow。因其长久以来的杰出贡献，Steyaert 教授于 2003 年评选为 ISSCC 50 周年的 Top Contributors，并于 2013 年 ISSCC 60 周年再次评选为 Top Contributors，他是唯一连续获此殊荣的欧洲研究者。

