数字电路设计高级课程

Course: Digital IC design:

Optimizing Speed and Energy a Circuit Level View

数字IC设计-电路层面上速度和能耗的优化

2016 年 10 月 20 日-21 日 | 上海

为什么参加

这门课程主要从电路层面也就是物理层面去处理数字集成电路设计问题。电路的性能和能耗之间的折衷优化设计是贯穿整个课程的线索。该课程首先将会回顾逻辑门和存储单元等数字基本单元的性能和能耗特点。而后这些内容会被揉合在一起以研究时序和流水线方面的问题，同时我们也会通过研究动态逻辑以实现性能的最优化设计。此后，我们还会分析一些较大的模块，如加法器和 SRAM 存储器等。最后一部分我们将把重点放在如何在满足一定性能要求的情况下，进行低功耗的设计。

This course handles the circuit level, also known as physical layer, aspects of digital integrated circuit design. The common thread through the course is the optimization of the circuit performance versus energy consumption trade off. The course will start by reviewing the performance and energy properties of digital elementary cells: logic gates and memory elements. These will be hooked together so that timing and pipelining aspects can be studied. An excursion to maximum performance is made by having a look at dynamic logic. From then on larger building blocks, e.g. adders but also SRAM memory will be studied. The last part will focus on low energy design while maintaining performance at the required level.

谁应该参加

数字电路、混合信号设计团队的管理者和设计师。
希望巩固数字电路知识的在校的高年级本科生、研究生，此课程需要一定的数字电路设计基础。
Managers of design teams of digital and mixed-signal design, and their designers.
Advanced undergraduate or graduate students who wish to develop a solid knowledge of digital IC design. A basic understanding of digital circuits is assumed.

主办单位

上海微技术国际合作中心

协办单位

上海集成电路技术与产业促进中心

课程安排

课程时间：2016 年 10 月 20 日—21 日（2 天）

报到注册时间：2016 年 10 月 20 号，上午 8:30-9:00

课程地点：上海集成电路技术与促进中心 （浦东新区张东路 1388 号 21 栋 1 楼多功能厅）

课程费用

个人报名：3,600 元/人（含授课费、场地租赁费、资料费、课程期间午餐），学员交通、食宿等费用自理。（如需了解附近酒店协议价格信息，请联系 Grace：18516128250 ）；

优惠折扣：在校学生注册费用 2,500 元/人；

团体报名：4 人以上团体报名优惠可协商。

请各单位收到通知后，积极选派人员参加。

报名方式

1. 下载报名表

电子报名表：

请打开微信 ,扫描以下二维码 ,或点击 **https://www.wenjuan.com/s/YbEjq2/**跳转至报名表！

如需纸质报名表：也可点击 http://www.simtac.org/?p=738&lang=zh 下载

2. 提交填妥的报名表

- 个人报名者及学生报名者，请直接提交报名表。
- 4 人以上团体报名者，请直接联系 Grace

收到您提交的报名表后，我们会发送邮件回执。如未收到回执，请通过以下方式联系：

手机：18516128250 搜索此号码加微信。**暗号：**报名数字电路设计 training@simtac.org

3. 付款

请于 10 月 15 日前将全款汇至以下账户。付款请备注：（**数字电路设计+单位/学校+姓名**）

银行信息：

户　名：	上海新微科技服务有限公司
开户行：	中国银行上海市嘉定支行
帐　号：	442969968121

课程具体安排

第一天：　2016 年 10 月 20 日

1. 简介，必要的模型和反相器

这节课程首先介绍整个课程的内容概要，以及在当前的 EDA 工具和自动化设计中电路层面的研究依然重要的原因。接下来我们会简要地回顾必要的晶体管和互联模型。然后我们利用这些模型来分析所有数字电路的基础-反相器的性能和功耗特征，从而引入了逻辑努力近似。

1.Introduction, required models and the inverter

This class will give a short overview of the whole course first and why the circuit level is still important in these days of EDA tools and automated design. Next the required transistor and interconnect models will be shortly reviewed. These models are then applied to analyze the performance and energy properties of the mother of all digital circuits: the invertor. This results in the logical effort approximation.

2. 静态 CMOS 电路和成比例缩放

这节课程将会处理 CMOS 电路设计方面的问题，首先我们会研究缓冲器的设计问题以维持速度性能。接下来我们将会解释尺寸缩放在功耗性能方面带来的影响。最后我们将快速地介绍复杂逻辑门和时序单元（锁存器和寄存器）。

2.Static CMOS circuits and scaling

This class handles CMOS circuit design. It starts with the design of buffers to maintain speed performance. Then the influence of scaling on energy performance will be explained. Next more complex gates and sequential elements (latches and registers) are quickly introduced.

3. 时序，流水线和动态逻辑

这节课程我们首先研究组合逻辑和时序单元交织在一起所形成的数据通路的流水线和有限状态机，同时将会解决时序和亚稳态的问题。课程的第二个主题是动态逻辑，一条实现高速性能的途径，但同时也在可靠性和信号完整性方面的极具挑战。

3.Timing, pipelining and dynamic logic

This class hooks up combinational logic with sequential elements to form data path pipelines and finite state machines. Timing and metastability will be addressed. The second topic of this class is dynamic logic: a pathway to high speed performance but also a big challenge in terms of robustness and signal integrity.

4. 数据通路的运算设计

这节课程我们将会讨论有效数据通路运算的设计，主要集中在加法器上，这也是所有运算的起始点。而后我们会简要地介绍其他模块，如乘法器等。

4.Data path operator design

This class will discuss the design of efficient data path operators. The discussion will focus on adders as these are the starting points for all arithmetic. A short excursion will be made to other blocks, e.g. multipliers

第二天： 2016 年 10 月 21 日

5. 静态存储

这节课程主要是研究静态 RAM 的设计。首先我们会快速地介绍 SRAM 的特征及其设计中的一些问题。这个课程不是面向 SRAM 设计人员的，而是给数字电路设计人员在 SRAM 领域的做一个简介，让他们能够理解在功耗和性能设计的折衷方案制定过程中 SRAM 扮演的特殊角色。

5.Static memory

This class addresses static RAM design. It will give an as-the-bird-flies overview of the specific properties of SRAM and some of the issues in SRAM design. It is not meant as a course for SRAM designers. It is an introduction to SRAM for digital circuit designers that enables them to understand the specific role SRAM plays in the energy versus performance design trade off.

6. 能量优化：VDD，VT 和尺寸

这节课程将从设计人员的角度阐述能量和性能之间的折衷设计问题。核心问题是，在一个给定的设计问题下，设计人员怎样去处理设计变量以达到最优折衷点。需要注意的是并没有一个方案可以解决所有的问题，这需要设计人员的技术和智慧。

6.Energy optimization: VDD, VT and sizing

This class discusses the energy versus performance trade off from the designers point of view. How should I handle my design variables to come to the optimal point for a given design problem, is the central question. Beware that there is no one size fits all solution. It takes designer's skill and intelligence.

7. 能量优化：低漏电设计

这节课程我们将讨论先进 CMOS 工艺尺寸缩减后带来的首要问题：漏电。我们会列举出各种重要的降低漏电的技术，并对它们进行比较。

7.Energy optimization: low leakage design

This class is about a first problem brought about by advanced CMOS scaling: leakage. Techniques to reduce leakage will put on the map and compared.

8. 能量优化：动态的频率电压成比例缩减以及对工艺扰动的处理

在最后这节课程中我们将阐述先进 CMOS 工艺按比例缩减后所带来的困境 ：工艺扰动。课程中我们将会介绍工艺扰动的来源以及解释其成为主要的问题的原因。我们也会解释动态频率和电压的成比例缩减问题，并主要集中在扰动问题上。课程的最后我们对数字集成电路的未来做了一个简单的展望：More（than）Moore?

8.Energy optimization: dynamic frequency voltage scaling and dealing with variability

In this last class the real nightmare of advanced CMOS scaling is revealed: technological variability. It will be shown where variability comes from and why it is a fundamental problem. Dynamic frequency and voltage scaling will be explained in general and focused on the variability issue. The course will end with a very short outlook on the future of digital IC design: more (than) Moore?

教授简介

Wim Dehaene

鲁汶大学博士学位鲁汶大学 MICAS 部门负责人，全职教授

IMEC 兼职首席科学家

IEEE 资深会员

ESSCIRC 的技术委员会成员

Wim Dehaene 于 1967 年出生于荷兰 奈梅亨，于 1991 年在鲁汶大学获得电子与机械工程硕士学位，在 1996 年 11 月在鲁汶大学获得博士学位。

在 1996 年 11 月，Wim Dehaene 加入到阿尔卡特微电子，成为一名资深项目负责人，主要领域是片上混合系统的可行性、设计和发展研究。应用领域主要是电话、xDSL 和高速无线 LAN。在 2002 年 7 月，Wim Dehaene 加入到鲁汶大学的 MICAS 部门，现在他是一名全职教授并成为该部门的负责人。他的研究领域主要是数字电路的电路级设计。目前主要的方向是先进 CMOS 工艺技术中超低功耗信号处理和存储器设计。他的部分研究项目与 IMEC 合作，他同时也是 IMEC 的兼职首席科学家。

Wim Dehaene 目前教很多电子工程、数字电路和系统设计的课程。他同时也对工程学的教学感兴趣，他目前主导了很多项目目的在于帮助青少年接受工程学方面的进修培训。他也是鲁汶大学教师培训项目的讲师。

Wim Dehaene 是 IEEE 的资深会员。在 2014 年以前他是 ISSCC 的技术委员会的成员。在 2015 年和 2016 年他成为 ISSCC 短期课程的组织者。他也是 ESSCIRC 的技术委员会成员，他将会是 ESSCIRC 2017 年的技术委员会主席。

Wim Dehaene was born in Nijmegen, The Netherlands, in 1967. He received the M. Sc. degree in electrical and mechanical engineering in 1991 from the Katholieke Universiteit Leuven, Belgium. In November 1996 he received the Ph. D degree also at the Katholieke Universiteit Leuven.

In November 1996 Wim Dehaene joined Alcatel Microelectronics, Belgium. There he was a senior project leader for the feasibility, design and development of mixed mode Systems on Chip. The application domains were telephony, xDSL and high speed wireless LAN. In July 2002 Wim Dehaene joined the staff of the MICAS division of the Katholieke Universiteit Leuven where he is now a full professor and head of the division. His research domain is circuit level design of digital circuits. The current focus is on ultra low power signal processing and memories in advanced CMOS technologies. Part of this research is performed in cooperation with IMEC, Belgium, where he is also a part time principal scientist.

Wim Dehaene is teaching several classes on electrical engineering and digital circuit and system design. He is also very interested in the didactics of engineering. As such he is guiding several projects aiming to bring engineering to youngsters in secondary education and he is a teacher in the teacher education program of the KULeuven.

Wim Dehaene is a senior member of the IEEE. Until 2014 he was a member of the technical program committee of ISSCC. In 2015 and 2016 he was the ISSCC short course organizer. Wim Dehaene is a member of the technical program committee of ESSCIRC and will be the technical program chair for ESSCIRC 2017 in Leuven, Belgium.

上海新微科技服务有限公司

2016 年 9 月 20 日